

10.647.170  
10.21.2003

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-054667  
(43)Date of publication of application : 05.03.1993

(51)Int.Cl. G11C 11/413  
G11C 7/00  
G11C 19/00

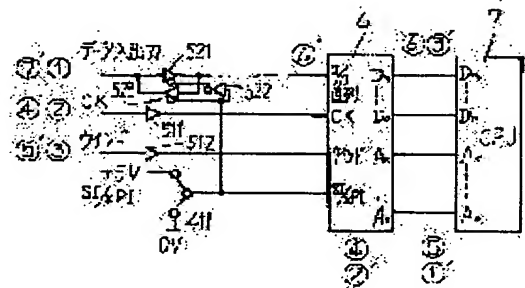
(21)Application number : 03-212521 (71)Applicant : FUJITSU LTD  
(22)Date of filing : 26.08.1991 (72)Inventor : SANO HIROYUKI

## (54) MEMORY ELEMENT WITH MUTUAL CONVERSION FUNCTION BETWEEN SERIAL DATA AND PARALLEL DATA

### (57)Abstract:

**PURPOSE:** To reduce a circuit scale by writing and reading data with either a memory cell driving means or a row memory cell driving means and mutually converting a serial data and parallel data directly.

**CONSTITUTION:** In the case of converting the serial data to the parallel data and outputting it, +5 is impressed to a terminal SI/\*PI for mode setting. OV is impressed to a buffer 521 via an inverter 522, this buffer becomes effective and the serial data is added to the memory element 6 with the mutual conversion function between the serial data and the parallel data. At the same time, a clock and a H level window are also added via the buffers 511, 512. Then, from an inner row/column decoder, driving signals by which one memory cell is driven are successively transmitted and positions 0, 1... up to 7 in the 0 address of a memory cell array are impressed. Consequently, the serial data are successively written in the memory cell to which the 8 bit serial data corresponds.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's



(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-54667

(43)公開日 平成5年(1993)3月5日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 11/413				
7/00	3 1 1 F	7323-5L		
19/00	B	2116-5L		
		7323-5L	G 1 1 C 11/ 34	J

審査請求 未請求 請求項の数2(全 10 頁)

(21)出願番号 特願平3-212521

(22)出願日 平成3年(1991)8月26日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 佐野 裕之

宮城県仙台市青葉区一番町1丁目2番25号

富士通東北デジタル・テクノロジー株式  
会社内

(74)代理人 弁理士 井桁 貞一

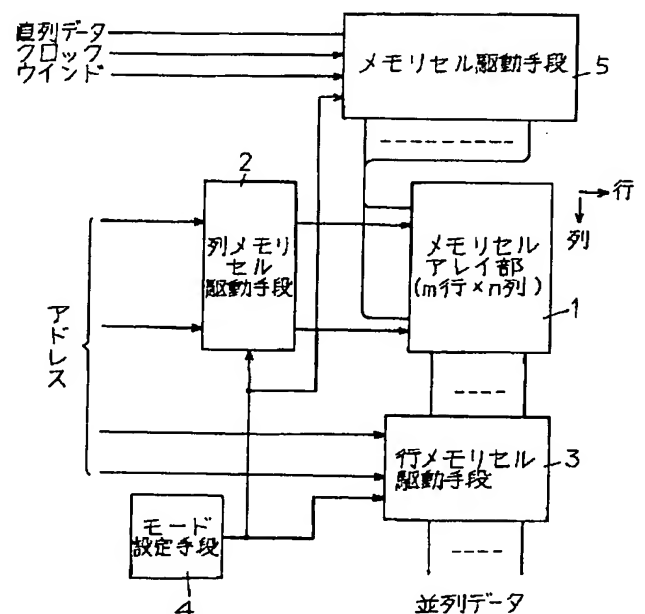
(54)【発明の名称】 直列データ・並列データ相互変換機能付きメモリ素子

(57)【要約】

【目的】 例えば、通信装置に使用する直列データ・並列データ相互変換機能付きメモリ素子に関し、回路規模の縮小を図ることを目的とする。

【構成】 メモリセルアレイ部1と列メモリセル駆動手段2と行メモリセル駆動手段3と直列・並列相互変換モードで動作する様に各部の動作を制御するモード設定手段4と、入出力する直列データの範囲を指定するウインドとクロックとが同時に印加されている間、該クロックをカウントしたカウント値を利用して内部で生成した駆動信号を、対応する1個のメモリセルに順次、送出すると共に、設定されたモードに対応して直列データを入出力するメモリセル駆動手段5とを付加し、該列メモリセル駆動手段および行メモリセル駆動手段のうちの何れか一方の駆動手段とメモリセル駆動手段とを用いてメモリセル部にデータを書き込み、読み出して、直接、直列データと並列データとの相互変換が行えるように構成する。

本発明の原理構成図



(2)

## 【特許請求の範囲】

【請求項1】 メモリセルが $m$ 行 $\times$  $n$ 列 ( $m$ ,  $n$ は正の整数) に配置されており、印加された駆動信号によって駆動されたメモリセルにデータが書き込まれ、または読み出されるメモリセルアレイ部(1) と、印加されたアドレスに対応して生成した駆動信号を、該メモリセルアレイ部内の対応するメモリセル列に同時に送出する列メモリセル駆動手段(2) と、印加されたアドレスに対応して生成した駆動信号を、該メモリセルアレイ部内の対応するメモリセル行に同時に送出すると共に、並列データを入出力させる行メモリセル駆動手段(3) とを有するメモリ素子において、

設定した変換モードで動作する様に必要な各部の動作を制御するモード設定手段(4) と、

入出力する直列データの範囲を指定するウインドとクロックとが同時に印加されている間、

該クロックをカウントしたカウント値を利用して生成した駆動信号を、対応する1個のメモリセルに順次、送出すると共に、設定した変換モードに対応して直列データを入出力するメモリセル駆動手段(5) とを付加し、該列メモリセル駆動手段および行メモリセル駆動手段のうちの何れか一方の駆動手段とメモリセル駆動手段とを用いてメモリセル部にデータを書き込み、読み出すことにより、直接、直列データと並列データとの相互変換が行える構成にしたことを特徴とする直列データ・並列データ相互変換機能付きメモリ素子。

【請求項2】 上記の相互変換が、直列データを並列データに直接、変換する場合、該メモリセル駆動手段を用いて、直列データをメモリセルアレイ部の指定された列に順次、書き込んだ後、該列メモリセル駆動手段を用いて、同時に読み出すことにより並列データに変換し、並列データを直列データに直接、変換する場合、該列メモリセル駆動手段を用いて、該並列データを該メモリアレイ部の指定された列に同時に書き込んだ後、該メモリセル駆動手段を用いて、順次、読み出すことにより直列データに変換することを特徴とする請求項1の直列データ・並列データ相互変換機能付きメモリ素子。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、例えば、通信装置に使用する直列データ・並列データ相互変換機能付きメモリ素子に関するものである。

【0002】 通常、RAM は8ビット、16ビット、32ビット等の複数のデータを同時に入出力し、CPU はRAM からデータを読み出して処理した後、再びRAM にデータを書き込む。この為、RAM とCPU に入出力するデータは並列データであることが必要である。

【0003】 一方、上記の並列データ処理システム間のデータ送受信は、信号線の本数がより少ない直列データを用いるが、これはシステム間を接続するケーブルのコ

2

スト、スペース、データを送受信するドライバ・レシーバの消費電力が少なくてすむと云う理由である。

【0004】 そこで、並列データ処理システムでは、直列データと並列データの相互変換回路を別に設けてデータの送受信を行っているが、この変換回路の規模が大きいため、回路規模の縮小を図ることが必要である。

## 【0005】

【従来の技術】 図7は従来例の直列データ・並列データ相互変換回路の一例を示す図、図8は図7の動作説明図で、(a) は直列データを並列データに変換する場合の説明図、(b) は並列データを直列データに変換する場合の説明図である。

【0006】 なお、図8の左側の符号は図7の同じ符号の部分の波形を示す。また、図8(a)-①及び図8(b)-⑥の数字0～7はデータD<sub>0</sub>～D<sub>7</sub>を示している。以下、図8を参照して図7の動作を説明する。

(1) 直列データを並列データに変換する場合

レシーバ86を介して入力した直列データは、レシーバ87を介して入力したクロックCKにより、順次、シフトレジスタ81で並列データに変換されてDタイプ・フリップフロップ(以下、D-FFと省略する)82に加えられる(図8(a)の①、②参照)。

【0007】 なお、カウンタ83はデータの有効部分を示すウインドとクロックが印加されるが、前者でカウント動作可能となり、以後、クロックをカウントし、カウント値がデコーダ84に印加される。デコーダ84はクロックを8個カウントした時のカウント値をデコードして、デコード出力をラッチ・クロックCK<sub>1</sub>としてD-FF85を介してD-FF82に加えるQ。そこで、D-FF82からD<sub>0</sub>～D<sub>7</sub>までの8個のデータが、CK<sub>1</sub>でオン状態になった3状態バッファ61を介してRAM6に加えられる(図8(a)の③、④参照)。

【0008】 また、上記のカウント値がアドレスとしてオン状態になった3状態バッファ61を介してRAM6に加えられるので、D<sub>0</sub>～D<sub>7</sub>のデータはRAM内のアドレスに対応する領域に書き込まれる。(図8(a)の⑤、⑥参照)。

(2) 並列データを直列データに変換する場合

上記の様に、ウインドとクロックとカウンタ83とを使用して必要なアドレスを生成し、対応するデータをRAM6から読み出す。読み出されたデータはD-FF91で印加されるが、デコーダ84、D-FF85を介して加えられたクロックCK<sub>2</sub>でD-FF91にラッチされる。

【0009】 そして、並列/直列変換回路92で直列データに変換された後、ドライバ93を介して外部に送出される(図8(b)の①'～⑥'参照)。

## 【0010】

【発明が解決しようとする課題】 上記の様に、並列データ処理システムでは、RAMの入出力が並列形式である為、外部から受信する直列データを並列データに変換し

(3)

3

てRAMに書き込み、また、RAMから読み出した並列データを直列データに変換して外部に送信する様に回路が構成されている。

【0011】この為、直列/並列変換回路、並列/直列変換回路、D-FF、カウンタ、デコーダ、バッファなどが必要となり回路規模が大きくなる。また、直列/並列変換、又は並列/直列変換を行ってRAMにデータを書き込み、または読み出すので、これらの回路を通る際、例えば雑音の影響を受けてデータに誤りが生じて、データの信頼性が低くなると言う問題がある。

【0012】

【課題を解決するための手段】図1は本発明の原理構成図である。図中、1はメモリセルが $m$ 行 $\times$  $n$ 列に配置されており、印加された駆動信号によって駆動されたメモリセルにデータが書き込まれ、または読み出されるメモリセルアレイ部、2は印加されたアドレスに対応して生成した駆動信号を、該メモリセルアレイ部内の対応するメモリセル列に同時に送出する列メモリセル駆動手段である。

【0013】また、3は印加されたアドレスに対応して生成した駆動信号を、該メモリセルアレイ部内の対応するメモリセル行に同時に送出すると共に、並列データを入出力させる行メモリセル駆動手段、4は設定した変換モードで動作する様に必要な各部の動作を制御するモード設定手段である。

【0014】更に、5は入出力する直列データの範囲を指定するウインドとクロックとが同時に印加されている間、該クロックをカウントしたカウント値を利用して生成した駆動信号を、対応する1個のメモリセルに順次、送出すると共に、設定した変換モードに対応して直列データを入出力するメモリセル駆動手段である。

【0015】第1の本発明は、該列メモリセル駆動手段および行メモリセル駆動手段のうちの何れか一方の駆動手段とメモリセル駆動手段とを用いてメモリセル部にデータを書き込み、読み出すことにより、直接、直列データと並列データとの相互変換が行える構成にした。

【0016】第2の本発明は、上記の相互変換が、直列データを並列データに直接、変換する場合、該メモリセル駆動手段を用いて、直列データをメモリセルアレイ部の指定された列に順次、書き込んだ後、該列メモリセル駆動手段を用いて、同時に読み出すことにより並列データに変換し、並列データを直列データに直接、変換する場合、該列メモリセル駆動手段を用いて、該並列データを該メモリセルアレイ部の指定された列に同時に書き込んだ後、該メモリセル駆動手段を用いて、順次、読み出すことにより直列データに変換する。

【0017】

【作用】本発明は、メモリセルアレイ部が $m$ 行 $\times$  $n$ 列で構成されている時、メモリセル $m$ 個を同時に駆動する信号を生成する列メモリセル駆動手段と、メモリセル $n$ 個

4

を同時に駆動する信号を生成する行メモリセル駆動手段と、外部からのクロックとウインドが同時に印加されている間、このクロックをカウントしたカウント値を利用して対応する1個のメモリセルを、順次、駆動する信号を生成するメモリセル駆動手段とを設ける。

【0018】そして、直列データが入力した時、メモリセル駆動手段で、1個のメモリセルを順次、駆動して、例えば、指定した列にデータを書き込んだ後、列メモリ駆動手段で生成した駆動信号で、指定した列に書き込んだデータを同時に読み出す。

【0019】これにより、直接、直列データを並列データに変換して取り出すことが可能となる。なお、並列データを直列データに、直接、変換するには上記と逆の変換をすればよい。

【0020】即ち、直列/並列変換回路、並列/直列変換回路などが不要となり回路規模が小となる。また、データを変換処理することなく、直接、直列データと並列データ相互変換が行われるので、データの信頼性が高く、誤りも減少する。

【0021】

【実施例】図2は本発明の実施例の構成図、図3は図2の機能説明図、図4は図2を使用した直列データ・並列データ相互変換回路の一例を示す図、図5は図4の動作説明図で、(a)は直列データを並列データに変換する場合、(b)は並列データを直列データに変換する場合である。また、図6は図2を使用した直列データ・並列データ相互変換回路の別の一例を示す図である。

【0022】ここで、図5の左側及び中程の符号は、図4の中の同じ符号の部分の波形を示す。また、入力バッファ51、入出力バッファ52、アドレス生成カウンタ53、直列データ用入出力ゲート・行列デコーダ54はメモリセル駆動手段5の構成部分、アドレスバッファ21、列デコーダ22は列メモリセル駆動手段2の構成部分である。

【0023】アドレスバッファ31、入出力ゲート・行デコーダ32、入出力バッファ33は行メモリセル駆動手段3の構成部分、入力バッファ41、インバータ42、43はモード設定手段4の構成部分である。

【0024】以下、図2～図6の動作を説明する。先ず、図2において、列デコーダ22は、外部からのアドレス $A_0 \sim A_j$ がアドレスバッファ21を介して加えられると、このアドレスをデコードし、デコード出力をメモリセルアレイ部内の対応するメモリ列に印加する。

【0025】これにより、図3の(a)に示す様に、例えば1列目のメモリセル $M_{10} \sim M_{1m}$ が起動されるので、ここに書き込まれていたデータが入出力ゲート・行デコーダ32の入出力ゲート部分(以下、I/Oゲート部分と省略する)、I/Oバッファ33を介して並列データ $M_{10} \sim M_{1m}$ が取り出される。

【0026】なお、チップセレクト信号\*CSがインバータ43を介して入力バッファ41とアドレスバッファ21を

(4)

5

オン状態にするので、アドレス $A_0 \sim A_j$  が行列デコーダに、\*OE(アウトプットイネーブル) がI/O バッファ33に加えられて、メモリセルアレイ部からのデータの出力が可能となる。

【0027】また、\*WE(ライトイネーブル) を入力バッファ41を介してI/O バッファ33に加えることにより、上記と同じ様な順序で、外部から並列データが1列目のメモリセル $M_{10} \sim M_{1m}$  に書き込むことが可能となる。

【0028】ここで、図3の(b)により、直列データの書き込み/読み出しを説明するが、この時は、上記と同様に\*CSによって入力バッファ51、I/Oバッファ52をオン状態にする。

【0029】そして、ウインド(I/Oデータの有効範囲を示すHレベルのパルス)が印加されている間だけ、アドレス生成カウンタ53を動作可能状態にして(ウインドをイネーブル信号として使用する)、入力したクロックCKをカウントさせるが、カウント値を直列データ用I/Oゲート・行列デコーダ54の行列デコーダ部分に印加してデコードさせ、デコード出力で図3の(b)に示す様にメモリセルアレイ部内のメモリセル $M_{11}$ (1番地の1)を駆動する。

【0030】そこで、I/O バッファ52、直列データ用I/Oゲート・行列デコーダ54の直列データ用I/Oゲート部分を介して入力したデータが $M_{11}$ に書き込まれる。そして、ウインドがHレベルの間に印加されたデコード出力によって、例えばメモリセル $M_{12}$ 、 $M_{13} \dots$ と列方向に直列データを書き込むことが可能である。

【0031】一方、上記と同様に、\*OEを印加することにより、アドレス生成カウンタ33の出力を利用して、メモリセル $M_{11}$ 、 $M_{12} \dots$ に書き込まれたデータがI/O バッファ52を介して直列データで取り出せる。

【0032】次に、図5を参照して図4の動作を説明する。

(1) 直列データを並列データに変換して出力する場合  
先ず、図4に示す様に、モード設定用の端子であるSI/\*PI端子に+5Vを印加する。これにより、インバータ522を介して0Vがバッファ521に印加され、このバッファが有効となり、直列データが直列データ・並列データ相互変換機能付きメモリ素子(以下、変換機能付きメモリ素子と省略する)6に加えられると共に、バッファ511、512を介してクロック及びHレベルのウインドも加えられる(図5(a)の①～③参照)。

【0033】そこで、上記の様に、内部の行列デコーダ(図示せず)から、1つのメモリセルを駆動する駆動信号を順次、送出して、メモリセルアレイ部内の0番地のうちの0、1、 $\dots$ 7の位置まで印加する。これにより、8ビットの直列データA～Hが対応するメモリセルに順番に書き込まれる。

【0034】なお、ウインドがHの時は変換機能付きメモリ素子に対してCPUが書き込み可能であり、Lの時は

6

CPUが読み出し可能な状態になっている。さて、CPU7は0番地をアクセスするアドレスを変換機能付きメモリ素子6に送出するので、0番地のうちの0から7の位置までのメモリセルが駆動され、並列データA～Hが同時に読み出されCPUに送られる(図5(a)の④～⑦参照)。

(2) 並列データを直列データに変換して出力する場合  
SI/\*PI端子に+0Vを印加する。これにより、インバータ523が有効となり、直列データを出力できる状態となる。また、CPU7から変換機能付きメモリ素子6に、1番地のメモリセルをアクセスする為のアドレスを送出する。

【0035】そこで、変換機能付きメモリ素子内の1番地のメモリセルが駆動されると共に、CPUから並列データが送出されるので、データJ～Rが対応するメモリセルに書き込まれる(図5(b)の①'～③'参照)。

【0036】一方、外部から、図5(b)の④'、⑤'に示す様にクロックとウインドが変換機能付きメモリ素子に印加されるので、図5(b)の⑥'に示す様に1番地のうちの0～7の位置までが順次、駆動される。

【0037】これにより、データJ～Qが順次、読み出されてバッファ523を介して直列データとして出力する。ここで、図4は設定端子を手動で切り替えることにより、直列データ・並列データの相互変換動作の切替えを行っていたが、図6はデコーダ412、D-FF413を用いてCPUから設定できる様にしたものである。

【0038】例えば、特定パターンをCPUから送出すると、デコーダ412はこれを検出して検出出力をクロックとしてD-FFに加える。この時、CPUからHをD-FFに印加すれば直列データ入力となり、Lを印加すれば直列データ出力に切り替わる。

【0039】即ち、直列/並列変換回路、並列/直列変換回路などが不要となり回路規模が小となる。また、データを変換処理することなく、直接、直列データと並列データ相互変換が行われるので、データの信頼性が高く、誤りも減少する。

【0040】

【発明の効果】以上詳細に説明した様に本発明によれば、回路規模の縮小を図ることができると云う効果がある。

【図面の簡単な説明】

【図1】本発明の原理構成図である。

【図2】図2は本発明の実施例の構成図である。

【図3】図2の機能説明図である。

【図4】図2を使用した直列データ・並列データ相互変換回路の一例を示す図である。

【図5】図4の動作説明図で、(a)は直列データを並列データに変換する場合、(b)は並列データを直列データに変換する場合である。

【図6】図2を使用した直列データ・並列データ相互変

(5)

換回路の別の一例を示す図である。

【図7】従来例の直列データ・並列データ相互変換回路の一例を示す図である。

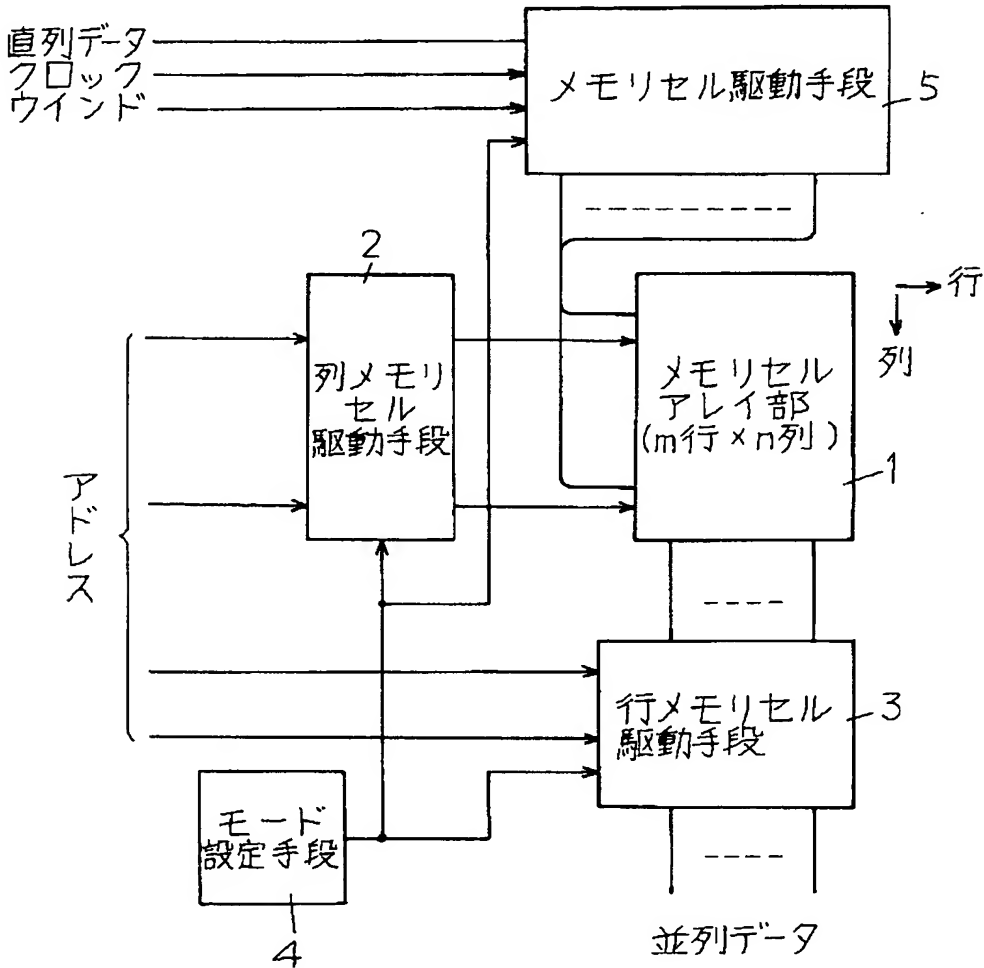
【図8】図7の動作説明図で、(a)は直列データを並列データに変換する場合の説明図、(b)は並列データを直列データに変換する場合の説明図である。

【符号の説明】

- |   |            |   |            |
|---|------------|---|------------|
| 1 | メモリセルアレイ部  | 2 | 列メモリセル駆動手段 |
| 3 | 行メモリセル駆動手段 | 4 | モード設定手段    |
| 5 | メモリセル駆動手段  |   |            |

【図1】

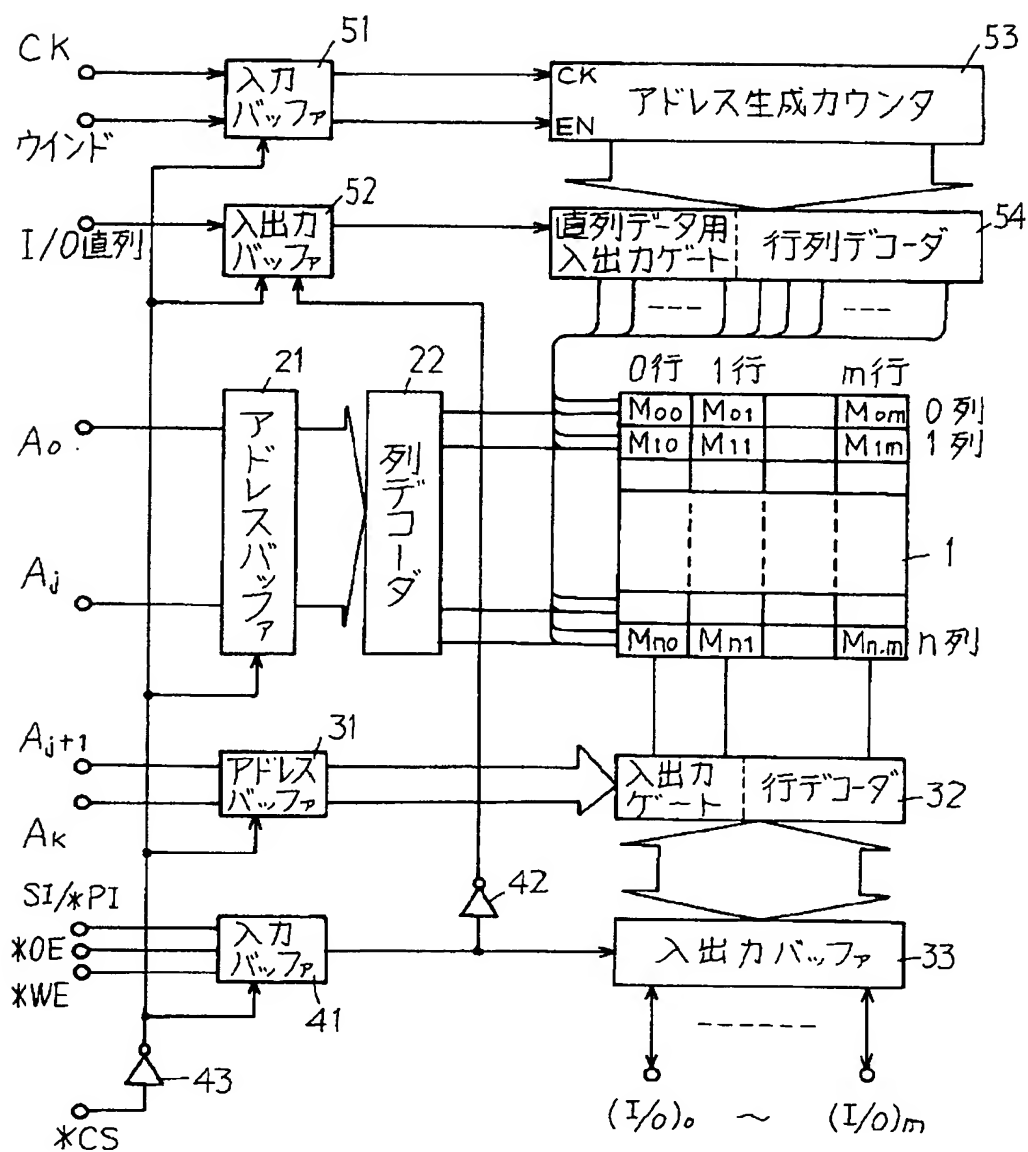
本発明の原理構成図



(6)

【図2】

## 本発明の実施例の構成図

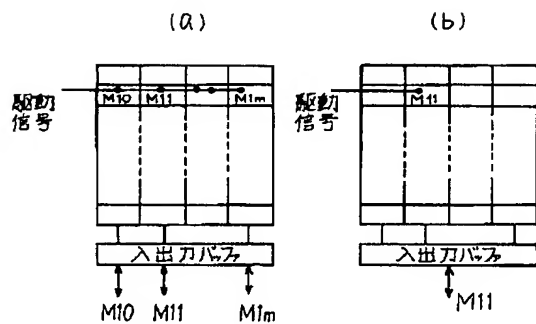




(7)

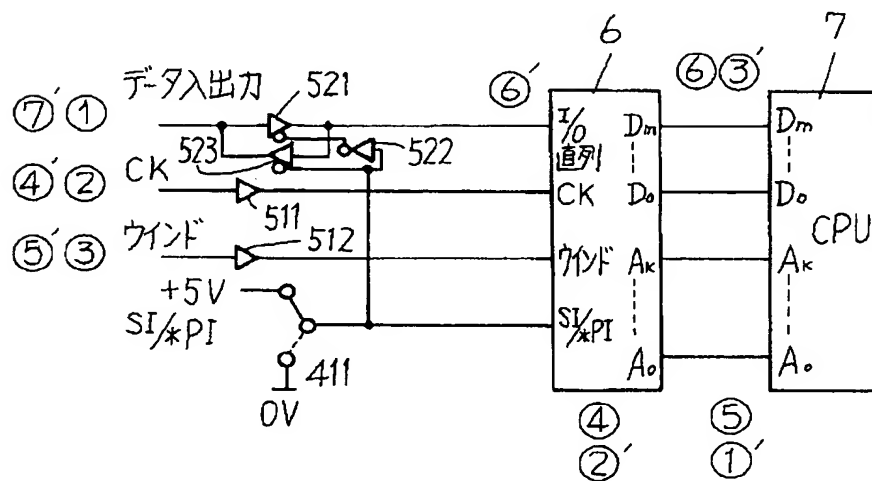
【図 3】

図2の機能説明図



【図 4】

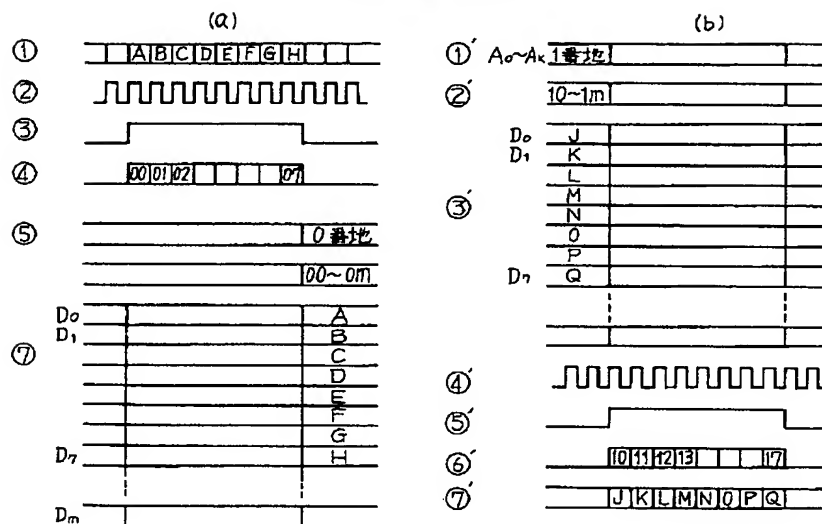
図25を使用した直列データ・並列データ相互変換回路の一例を示す図



(8)

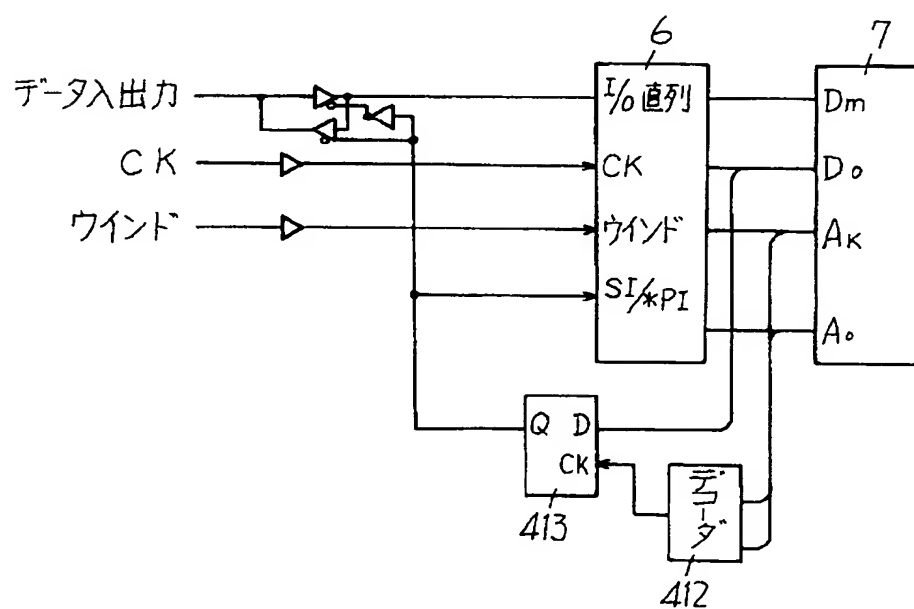
【図5】

図4の動作説明図



【図6】

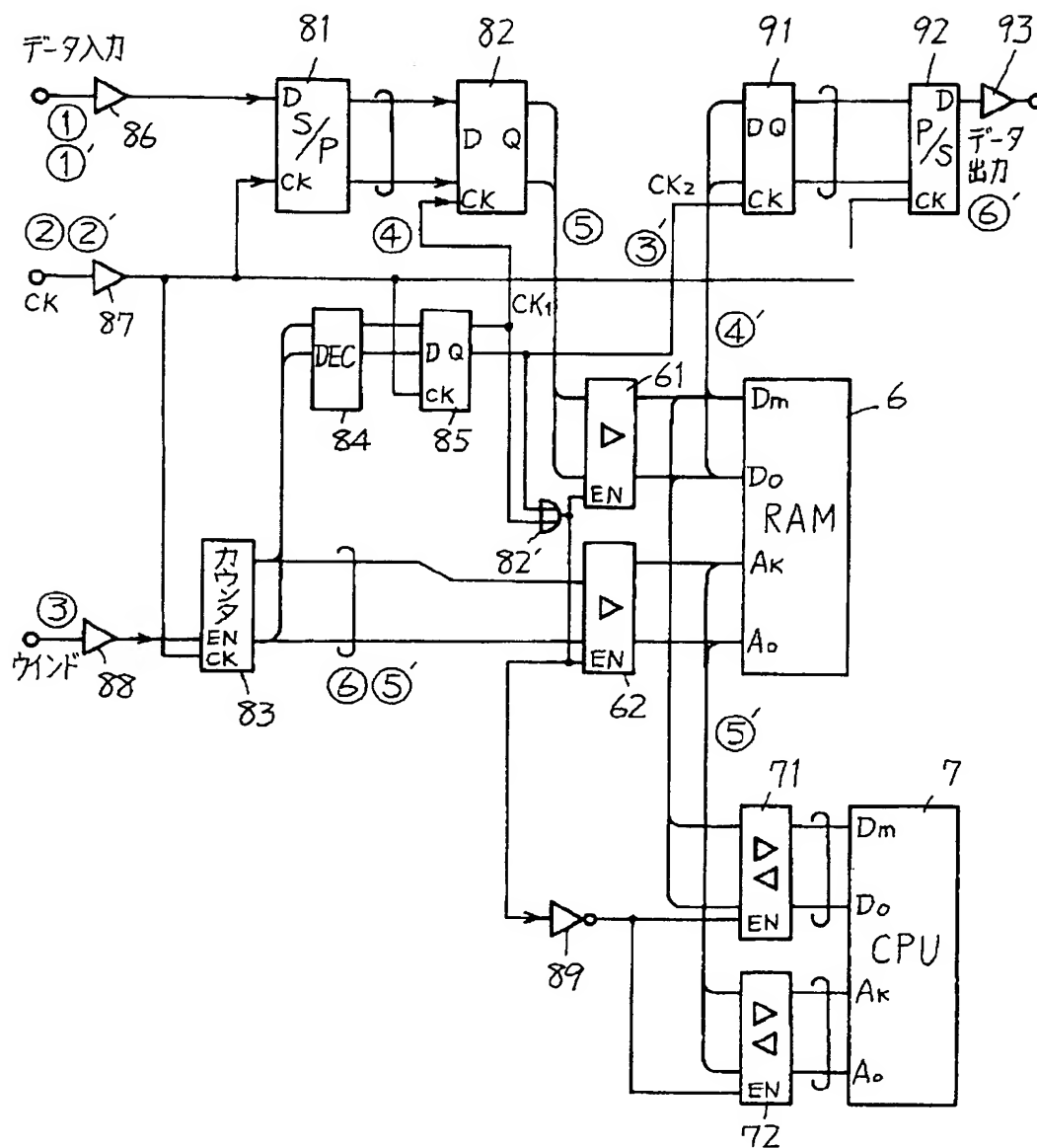
図2を使用した直列データ・並列データ相互変換回路の別の一例を示す図



(9)

【図7】

従来の直列データ・並列データ相互変換回路の一例を示す図



(10)

【図8】

図7の動作説明図

